

Handwritten signature

JC690 U.S. PTO

09/522594



03/10/00

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: March 12, 1999

Application Number : P11-067513

Applicant(s) : Toshiba Microelectronics Kabushiki Kaisha
Kabushiki Kaisha Toshiba

February 18, 2000

Commissioner, Takahiko KONDO
Patent Office

Number of Certificate: 2000-3009307

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

568
JCS90 U.S. PTO
09/522594
03/10/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 3月12日

出願番号

Application Number:

平成11年特許願第067513号

出願人

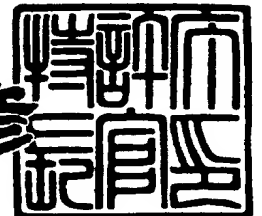
Applicant (s):

東芝マイクロエレクトロニクス株式会社
株式会社東芝

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3009307

【書類名】 特許願

【整理番号】 46A989349

【提出日】 平成11年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
B23K 26/00
H01L 21/268

【発明の名称】 半導体集積回路および半導体集積回路の製造方法

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市幸区堀川町580番地1号 株式会社東芝 半導体システム技術センター内

 【氏名】 森 貞之

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 南 稔郁

【特許出願人】

 【識別番号】 000221199

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および半導体集積回路の製造方法

【特許請求の範囲】

【請求項 1】 レーザの照射により選択的に切断可能な複数のヒューズと、
前記ヒューズの端に上面が接続するプラグと、
前記プラグの上方の絶縁膜を開口してなる開口部と
を有することを特徴とする半導体集積回路。

【請求項 2】 絶縁膜中に設けられた凹部と、
前記凹部の上部に達するヒューズと、
前記凹部の底部に達し前記ヒューズとは接続しないプラグと、
を有することを特徴とする半導体集積回路。

【請求項 3】 前記ヒューズの材料の主成分がアルミニウムまたは銅であることを特徴とする請求項 1 又は請求項 2 記載の半導体集積回路。

【請求項 4】 前記プラグの材料の主成分がアルミニウム、タングステン、シリコン、チタン、タンタル又は銅であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体集積回路。

【請求項 5】 プラグを形成する工程と、
前記プラグの上面と接するようにヒューズを形成する工程と、
前記ヒューズの切断が必要か否かを知るために検査する工程と、
レーザ光を前記プラグと前記ヒューズの接触面に向けて照射する工程と
を有することを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DRAM、SRAM等の半導体集積回路および半導体集積回路の製造方法に関し、特に、レーザ光を照射することにより切断して救済機能を発現させるヒューズとその周囲の構造に関するものである。

【0 0 0 2】

【従来の技術】

半導体集積回路には不良救済のために冗長機能が付加されているものがあり、この冗長機能を構成する回路は一般にリダンダンシ回路と称されている。たとえば、半導体メモリのDRAM、SRAM等では、不良メモリセルが発見された場合、良品のメモリセルと置き換えができるリダンダンシ回路が内蔵されている。このようなリダンダンシ回路では、複数行のリダンダンシ回路のメモリセル配列がメモリマトリックス内に設けられており、一般にヒューズと称される配線部分をレーザ光を用いて切断することにより、不良メモリセルを含むメモリセル配列をリダンダンシ回路のメモリ配列と置き換えるための信号が生成され、不良メモリセルの回路部分が救済されるようになっている。

【0 0 0 3】

図8は、従来のヒューズとその周辺の構造図である。図8(a)は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図8(b)は(a)のI-I方向の断面図である。図8(c)は(a)のII-II方向の断面図である。ヒューズ2を切断するためのレーザ光照射用の開口部4がパッシベーション膜1に形成されている。開口部4の一方の端から他方の端までヒューズ2が複数本走っている。開口部4の周辺にはヒューズ2に付随したリダンダンシ回路等の周辺回路が存在している。それぞれのヒューズ2は、図8(b)に示すように、絶縁層9上に形成され、ヒューズ2の上に絶縁層7を形成する。なお、開口部4の直下には配線関係ではヒューズ2のみ存在し、ヒューズ2の下層にはプラグ等の接続部や配線は存在していない。ヒューズ2の切断は、図8(c)に示すように、レーザ光でブLOW(blow)し、ヒューズ2をブLOW部5で断線させることで不良ビットの配線を良品ビットの配線に置き換える構造となっている。

【0 0 0 4】

【発明が解決しようとする課題】

従来のヒューズの構造では、ヒューズを断線させるレーザ径によってヒューズのピッチが決まってくるため配線の微細化が進んでもレーザ径を変更する以外ヒューズ部分の面積の微小化が見込めない。また、1つのヒューズの両端にリダン

ダンシ回路等の付随する回路が配置されるので複数のヒューズ毎のこれら回路がヒューズ開口部の周囲全体に存在し微小化の妨げとなっている。

【0005】

本発明はこのような問題点を解決するために成されたものであり、その目的とするところは、ヒューズ部分の面積の微小化ができ、周辺回路がヒューズの片側のみで構成できる半導体集積回路を提供することである。

【0006】

また、本発明の他の目的は、ヒューズ部分の面積の微小化ができ、周辺回路がヒューズの片側のみで構成できる半導体集積回路の製造方法を提供することである。

【0007】

【課題を解決するための手段】

このような問題点を解決するため、本発明の第1の特徴は、少なくとも1つが必要に応じてレーザの照射により選択的に切断可能な複数のヒューズと、このヒューズの端に上面が接続するプラグと、このプラグの上方の絶縁膜を開口してなる開口部とを有する半導体集積回路であることである。ここで、プラグとは上層配線であるヒューズと下層配線とを電気的に接続するためのものである。開口部とはレーザの照射によるヒューズのブローの効率を高めるためにパッシベーション膜の膜厚を薄くした部分である。このことにより、レーザ光をプラグとヒューズの接触面に向けて照射すれば、

(1) プラグは、下層配線へのレーザ光を遮光し、下層配線の温度上昇を押さえ、下層配線の損傷を防ぐ。

【0008】

(2) プラグは、絶縁膜で発生する熱を吸収するウィッキングの現象により、下層配線の温度上昇を押さえ、下層配線の損傷を防ぐ。

【0009】

(3) プラグは、熱伝導率の低い材料を選択したり、プラグの上下間で熱抵抗の大きい形状を採用することにより、熱伝導を押さえ、ヒューズが高温になっても下層配線の温度上昇を押さえ、下層配線の損傷を防ぐ。熱伝導率の低い材料とし

てはタングステン、チタン、タンタル、シリコン等が考えられる。形状としてはタンデム構造の連なった複数のプラグとかアスペクト比の大きいプラグ等が考えられる。

【0 0 1 0】

(4) プラグは、高融点、高沸点の材料を選択することにより、プラグの高温化によるプラグの変形を防ぎ、下層配線の形状を保全する。高融点、高沸点の材料としては銅、タングステン、チタン、タンタル、シリコン等が考えられる。等の効果が得られる。よって、下層配線をブLOW部の下に設けることが可能になるので、1つのヒューズの両端に接続されるリダンダンシ回路等の付随する回路をプラグによる接続部を用いて折り返しの構造にすることによりヒューズの片側に配置することが可能になりヒューズに係わる回路領域を一般的な集積化の技法により微小化できる半導体集積回路を提供することができる。また、ヒューズとプラグの接触面を断線すればヒューズの機能は果たせるので、上方から見込んだ断線で消失するヒューズの面積を小さくできヒューズ部分の面積が微小化できる。そして、これらのことにより、1列にしか配置できなかった複数のヒューズの配列を2列にすることができる。片側のヒューズの列に接続する周辺回路を、そのヒューズの列の片側に配置することができるからである。さらに、2列のヒューズの列を千鳥状に配置することにより複数のヒューズの占める面積をさらに小さくすることができる。

【0 0 1 1】

本発明の第1の特徴は、レーザ照射後の視点から表現すると、絶縁膜上に設けられた凹部と、この凹部の上部に達するヒューズと、凹部の底部に達しこのヒューズとは接続しないプラグとを有する半導体集積回路であることである。ここで、凹部とは、レーザの照射によってヒューズと絶縁膜がブLOWされることでできた穴のことである。このことによりヒューズとプラグが絶縁される。

【0 0 1 2】

また、本発明の第1の特徴は、ヒューズの材料の主成分がアルミニウムまたは銅であることにより効果的である。このことにより、アルミニウムについては低融点、低沸点の材料なので低温でブLOW可能となる。銅については電気抵抗率が

低いのでヒューズを細くできブローしなければならない体積を小さくすることができるようになる。

【0013】

本発明の第2の特徴は、プラグを形成する工程と、このプラグの上面と接するようにヒューズを形成する工程と、このヒューズの切断が必要か否かを知るために検査する工程と、レーザ光をプラグとヒューズの接触面に向けて照射する工程とを有する半導体集積回路の製造方法であることである。このことにより、レーザ光の照射時の下層配線の温度上昇を押さえ下層配線の損傷を防ぐので、下層配線をブロー部の下に設けることが可能になり、プラグによる接続部を用いて折り返しの構造にすることによりヒューズ部分の面積が微小化できる。また、折り返しのヒューズ構造により、周辺回路を片側に持っていくことができ、ヒューズに係わる回路領域を一般的な集積化の技法により微小化できる半導体集積回路を提供することができる。

【0014】

【発明の実施の形態】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において従来技術と同一又は類似名部分には類似な符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0015】

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図1(a)は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図1(b)は(a)のI-I方向の断面図である。図1(c)は(a)のII-II方向の断面図である。本発明の第1の実施の形態に係る半導体集積回路は、少なくとも1つが必要に応じてレーザの照射により選択的に切断可能な複数のヒューズ2と、このヒューズ2の端に

上面が接続するプラグ 3 と、プラグ 3 の上方のパッシベーション膜 1 を開口する開口部 4 とを有する。ヒューズ 2 が向かい合うように 2 列に配置されている。開口部 4 の周辺にはヒューズ 2 と下層配線 6 に接続するリダンダンシ回路等の周辺回路が存在している。レーザの照射がされない場合は図 1 (b) に示すように層間絶縁膜 1 1 上に形成される下層配線 6 と配線間の絶縁膜 1 0 と、下層配線 6 と絶縁膜 1 0 の上に形成される層間絶縁膜 9 とタングステンのプラグ 3 と、層間絶縁膜 9 とプラグ 3 の上に形成される上層配線であるヒューズ 2 と配線間の絶縁膜 8 と、ヒューズ 2 と絶縁膜 8 の上に形成される 2 層のパッシベーション膜 1 と 7 とを有する。ヒューズ 2 は例えばアルミニウムであり、例えばタングステンの下層配線 6 とタングステンのプラグ 3 で接続し、配線構造はプラグ 3 で折り返す構造になっている。レーザの照射がされた場合は図 1 (c) に示すように絶縁膜 7、8、9 上に設けられた凹部であるブロー部 5 と、このブロー部 5 の上部に達するヒューズ 2 と、ブロー部 5 の底部に達しヒューズ 2 とは接続しないプラグ 3 とを有する。

【 0 0 1 6 】

本発明の第 1 の実施の形態に係る半導体集積回路は以下のような製造工程で製造できる。

【 0 0 1 7 】

(イ) 層間絶縁膜 1 1 を C V D 法により成膜し、ケミカルメカニカルポリッシング (CMP) 法で層間絶縁膜 1 1 の表面を平坦にする。

(ロ) タングステン膜を P V D 法または C V D 法で成膜し、下層配線 6 のパターニングをする。

(ハ) 配線間の絶縁膜 1 0 と層間絶縁膜 9 を C V D 法により成膜し、CMP 法で層間絶縁膜 9 の表面を平坦にする。

【 0 0 1 8 】

(ニ) ヴィアホールを層間絶縁膜 9 にパターニングする。

(ホ) タングステン膜を C V D 法で成膜することでヴィアホール内にタングステンを埋め込み、層間絶縁膜 9 上のタングステン膜を CMP 法により除去する。

(ヘ) アルミニウム膜を P V D 法で成膜し、ヒューズ 2 のパターニングをする。

【 0 0 1 9 】

(ト) 配線間の絶縁膜 8 とパッシベーション膜 7 を C V D 法により成膜し、パッシベーション膜 1 を C V D 法により成膜する。

(チ) 開口部 4 をパッシベーション膜 1 にパターニングする。

(リ) ヒューズ 2 の切断が必要か否かを知るために検査する。

(ヌ) 切断が必要な場合はレーザー光をプラグ 3 とヒューズ 2 の接触面に向けて照射し、ヒューズ 2 をブLOWする。プラグ 3 とヒューズ 2 を断線させ、不良ビット配線を置き換える。

【 0 0 2 0 】

第 1 の実施の形態の半導体集積回路のヒューズの配置では、従来のレーザー径を用いても開口部 4 を長径方向で 1 / 2 に微小化できる。また、ブLOWするヒューズ 2 を開口部 4 に橋渡しする必要がないため、開口部 4 の微小化が可能となる。さらに、ブLOWするヒューズ 2 の下に下層配線 6 が存在するためヒューズ 2 部分の配線層下の絶縁層 9 が C M P 法においてディッシング (Dishing) されにくくなる。

【 0 0 2 1 】

(第 2 の実施の形態)

図 2 は、本発明の第 2 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 2 (a) は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 2 (b) は (a) の I - I 方向の断面図である。図 2 (c) は (a) の II - II 方向の断面図である。本発明の第 2 の実施の形態に係る半導体集積回路のヒューズ構造は、レーザー照射用の開口部 4 がパッシベーション膜 1 に形成されており、複数のヒューズ 2 が向かい合うように 2 列に配置されている。図 2 (b) に示すように層間絶縁膜 1 4 上に形成される例えばポリシリコンからなる下層配線 1 6 と配線間の絶縁膜 1 3 と、下層配線 1 6 と絶縁膜 1 3 の上に形成される層間絶縁膜 1 1 とアルミニウムのプラグ 1 2 と、層間絶縁膜 1 1 とプラグ 1 2 の上に形成される下層配線 6 と配線間の絶縁膜 1 0 と、下層配線 6 と絶縁膜 1 0 の上に形成される層間絶縁膜 9 とアルミニウムのプラグ 3 と、層間絶縁膜 9 とプラグ 3 の上に形成される上層配線であるヒ

ューズ 2 と配線間の絶縁膜 8 と、ヒューズ 2 と絶縁膜 8 の上に形成される 2 層のパッシベーション膜 1 と 7 を有する。ヒューズ 2 は、下層配線 1 6 とプラグ 1 2 と下層配線 6 とプラグ 3 を介してリダンダンシ回路等の周辺回路同士に接続し、1 つのヒューズ 2 に接続する周辺回路はそのヒューズ 2 の片側に配置される。図 2 (c) に示すようにプラグ 3 上をブローすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。

【 0 0 2 2 】

本発明の第 2 の実施の形態に係る半導体集積回路は以下のような製造工程で製造できる。

【 0 0 2 3 】

(イ) 層間絶縁膜 1 4 を C V D 法により成膜し、C M P 法で層間絶縁膜 1 4 の表面を平坦にする。

【 0 0 2 4 】

(ロ) ポリシリコン膜を C V D 法で成膜し、下層配線 1 6 のパターニングをする。

【 0 0 2 5 】

(ハ) 配線間の絶縁膜 1 3 と層間絶縁膜 1 1 を C V D 法により成膜し、C M P 法で層間絶縁膜 1 1 の表面を平坦にする。

(ニ) ヴィアホールを層間絶縁膜 1 1 にパターニングする。

(ホ) アルミニウム膜を P V D 法で成膜することでヴィアホール内にアルミニウム埋め込み、層間絶縁膜 1 1 上のアルミニウム膜を C M P 法により除去する。

(ヘ) アルミニウム膜を P V D 法で成膜し、下層配線 6 のパターニングをする。

【 0 0 2 6 】

(ト) 配線間の絶縁膜 1 0 と層間絶縁膜 9 を C V D 法により成膜し、C M P 法で層間絶縁膜 9 の表面を平坦にする。

【 0 0 2 7 】

(チ) ヴィアホールを層間絶縁膜 9 にパターニングする。

【 0 0 2 8 】

(リ) アルミニウム膜を P V D 法で成膜することでヴィアホール内にアルミニウム

ム埋め込み、層間絶縁膜 9 上のアルミニウム膜を CMP 法により除去する。

【 0 0 2 9 】

(ヌ) アルミニウム膜を PVD 法で成膜し、ヒューズ 2 のパターニングをする。

【 0 0 3 0 】

(ル) 配線間の絶縁膜 8 とパッシベーション膜 7 を CVD 法により成膜し、パッシベーション膜 1 を CVD 法により成膜する。

(ヲ) 開口部 4 をパッシベーション膜 1 にパターニングする。

(ワ) ヒューズ 2 の切断が必要か否かを知るために検査する。

(カ) 切断が必要な場合はレーザ光をプラグ 3 とヒューズ 2 の接触面に向けて照射し、ヒューズ 2 をブLOWする。

【 0 0 3 1 】

第 2 の実施の形態の半導体集積回路のヒューズの配置では、第 1 の実施の形態と同様の効果のほかに、プラグ 3 と 1 2 の材料にアルミニウムや銅を用いても、ブLOWするヒューズの下に下層配線が走っているためブLOWした後でヒューズ（上部配線） 2 と下部配線 1 6 がショートしブLOWされていない状態になるのをヒューズ（上部配線） 2 と下部配線 1 6 を引き離すことで防ぐことができる。よって、ヒューズ（上部配線） 2 と下部配線 1 6 の間にあるプラグ 3 と 1 2 のように作用する配線層は何層あっても構わない。

【 0 0 3 2 】

（第 3 の実施の形態）

図 3 は、本発明の第 3 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 3（a）は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 3（b）は（a）の I-I 方向の断面図である。図 3（c）は（a）の II-II 方向の断面図である。本発明の第 3 の実施の形態に係る半導体集積回路のヒューズ構造は、開口部 4 がパッシベーション膜 1 に形成されており、複数のヒューズ 2 が向かい合うように 2 列に配置されている。図 3（b）に示すように半導体基板 1 5 上に層間絶縁膜 1 1 とタングステンのプラグ 1 2 が形成される。層間絶縁膜 1 1 とプラグ 1 2 の上に下層配線 6 と配線間の絶縁膜 1 0 が形成される。下層配線 6 と絶縁膜 1 0 の上に層間

絶縁膜 9 とアルミニウムのプラグ 3 が形成される。層間絶縁膜 9 とプラグ 3 の上に上層配線であるヒューズ 2 と配線間の絶縁膜 8 が形成される。ヒューズ 2 と絶縁膜 8 の上に 2 層のパッシベーション膜 1 と 7 が形成される。ヒューズ 2 は、半導体基板 1 5 とプラグ 3 と下層配線 6 とプラグ 1 2 を介して接続し、配線構造はプラグ 3 と 6 で折り返す構造になっている。図 3 (c) に示すようにプラグ 3 上をブLOWすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。

【0 0 3 3】

第 3 の実施の形態の半導体集積回路のヒューズの配置は、複数のヒューズ 2 を接地等の共通の電位に接続する場合に用いられ、第 2 の実施の形態と同様の効果を有する。

【0 0 3 4】

(第 4 の実施の形態)

図 4 は、本発明の第 4 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 4 (a) は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 4 (b) は (a) の I - I 方向の断面図である。図 4 (c) は (a) の II - II 方向の断面図である。本発明の第 4 の実施の形態に係る半導体集積回路のヒューズ構造は、レーザ照射用の開口部 4 がパッシベーション膜 1 に形成されており、複数のヒューズ 2 が千鳥状に配置されている。図 4 (b) に示すように断面構造は第 1 の実施の形態と同様の積層構造である。図 4 (c) に示すようにプラグ 3 上をブLOWすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。第 4 の実施の形態の半導体集積回路のヒューズの配置では、第 1 の実施の形態と同様の効果のほかに、開口部 4 の短径方向についても微小化が可能となる。

【0 0 3 5】

(第 5 の実施の形態)

図 5 は、本発明の第 5 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 5 (a) は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 5 (b) は (a) の I - I 方

向の断面図である。図 5 (c) は (a) の II-II 方向の断面図である。本発明の第 5 の実施の形態に係る半導体集積回路のヒューズ構造は、開口部 4 がパッシベーション膜 1 に形成されており、複数のヒューズ 2 が向かい合うように 2 列に配置されている。下層配線 6 はプラグ 3 の下以外はヒューズ 2 の下方には形成されず斜め下方向に形成される。この下部配線 6 のヒューズ 2 の真下からのずれは左右どちらでも左右の組み合わせでも構わない。図 5 (b) に示すように断面構造は第 1 の実施の形態と同様の積層構造である。図 5 (c) に示すようにプラグ 3 上をブローすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。第 5 の実施の形態の半導体集積回路のヒューズの配置では、第 1 の実施の形態と同様の効果のほかに、ブロー時の上部配線と下部配線のショートを防ぐ効果がある。

【 0 0 3 6 】

(第 6 の実施の形態)

図 6 は、本発明の第 6 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 6 (a) は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 6 (b) は (a) の I-I 方向の断面図である。図 6 (c) は (a) の II-II 方向の断面図である。本発明の第 6 の実施の形態に係る半導体集積回路のヒューズ構造は、開口部 4 がパッシベーション膜 1 に形成されており、複数のヒューズ 2 が向かい合うように 2 列に配置されている。下層配線 6 は片側 1 列の複数のヒューズ 2 にそれぞれ対応するプラグ 3 を介して接続する。この複数のプラグ 3 は直線状に位置し、下層配線はこの複数のプラグ 3 がすべて接続するのに必要な長さを超えた長さだけ直線であるように配置する。図 6 (b) に示すように断面構造は第 1 の実施の形態と同様の積層構造である。図 6 (c) に示すようにプラグ 3 上をブローすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。第 6 の実施の形態の半導体集積回路のヒューズの配置では、第 1 の実施の形態と同様の効果のほかに、下部配線 6 に対するプラグ 3 の合わせずれのマージンが大きくなるため、プラグ 3 を形成しやすくなる。

【 0 0 3 7 】

(第 7 の実施の形態)

図 7 は、本発明の第 7 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。図 7 (a) は上面図であり、一部、位置関係がわかりやすいように透視して記載してある。図 7 (b) は (a) の I - I 方向の断面図である。図 7 (c) は (a) の II - II 方向の断面図である。本発明の第 7 の実施の形態に係る半導体集積回路のヒューズ構造は、開口部 4 がパッシベーション膜 1 に形成され、開口部 4 の片側に複数のヒューズ 2 を配置し、ヒューズ 2 に伴う周辺回路を開口部 4 のヒューズ 2 側に配置する。周辺回路はヒューズ 2 と下層配線 6 に接続される。図 7 (b) に示すように断面構造は第 1 の実施の形態の 2 列のヒューズの構造を 1 列の構造にしたもので、特に積層の構造は第 1 の実施の形態と同じである。図 7 (c) に示すようにプラグ 3 上をブLOWすることによって、ヒューズ 2 とプラグ 3 を断線させ、不良ビット配線を置き換える。第 7 の実施の形態の半導体集積回路のヒューズ 2 の配置では、開口部 4 の長径方向の微小化を除いて第 1 の実施の形態と同様の効果のほかに、周辺回路を片側にすることで従来チップの中心にあったヒューズ 2 をチップの端に置くことが可能となり周辺回路の集積化が容易になる。また、開口部 4 の短径方向が微小化できる。

【 0 0 3 8 】

(その他の実施の形態)

上記のように、本発明の実施の形態を記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきでない。この開示から当業者には様々な代替しうる実施の形態、実施例及び運用技術が明らかになる。

【 0 0 3 9 】

既に述べた実施の形態の説明においては、ヒューズ 1 つにプラグが 1 つであったが、ヒューズ 1 つに対しプラグが複数でも良い。この場合 1 回でブLOWできる領域に複数のプラグを設置する必要がある。

【 0 0 4 0 】

また、既に述べた実施の形態の説明においては、ヒューズ的一端についてプラ

グに接続していることを示したが、ヒューズの両端がプラグに接続していても良く、両端のプラグの距離をブロー部の直径より小さくし、両プラグ上のヒューズさらにはプラグ全体を 1 回のレーザ照射でブローするようにしても良い。ヒューズの両端で接続するプラグの段数を変えれば必要な面積の増加もない。

【0041】

この様に、本発明はここでは記載していない様々な実施の形態を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0042】

【発明の効果】

以上説明したように本発明によれば、ヒューズ部分の面積の微小化ができ、周辺回路がヒューズの片側のみで構成できるのでヒューズを 2 列に並べた半導体集積回路を提供することができる。

【0043】

また、本発明によれば、ヒューズ部分の面積の微小化ができ、周辺回路がヒューズの片側のみで構成できるのでヒューズを 2 列に並べた半導体集積回路の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 2】

本発明の第 2 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 3】

本発明の第 3 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 4】

本発明の第 4 の実施の形態に係る半導体集積回路の一部に設けられるヒューズ

とその周辺の構造図である。

【図 5】

本発明の第 5 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 6】

本発明の第 6 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 7】

本発明の第 7 の実施の形態に係る半導体集積回路の一部に設けられるヒューズとその周辺の構造図である。

【図 8】

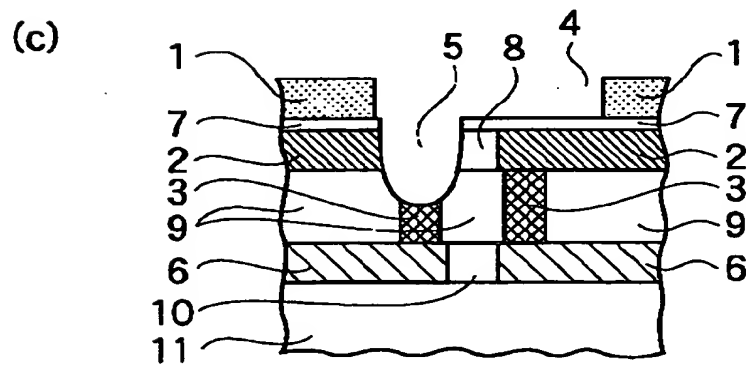
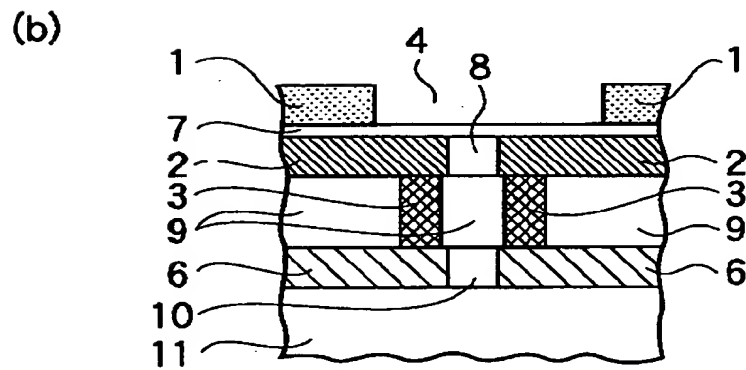
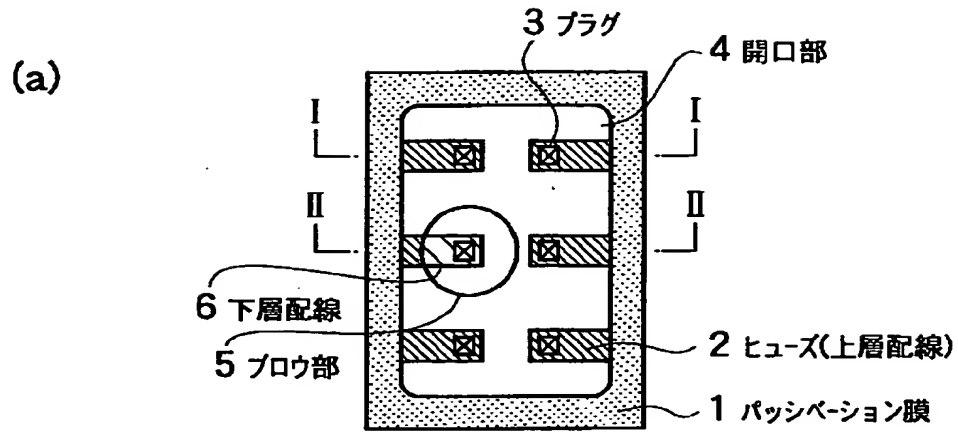
従来の半導体集積回路のヒューズとその周辺の構造図である。

【符号の説明】

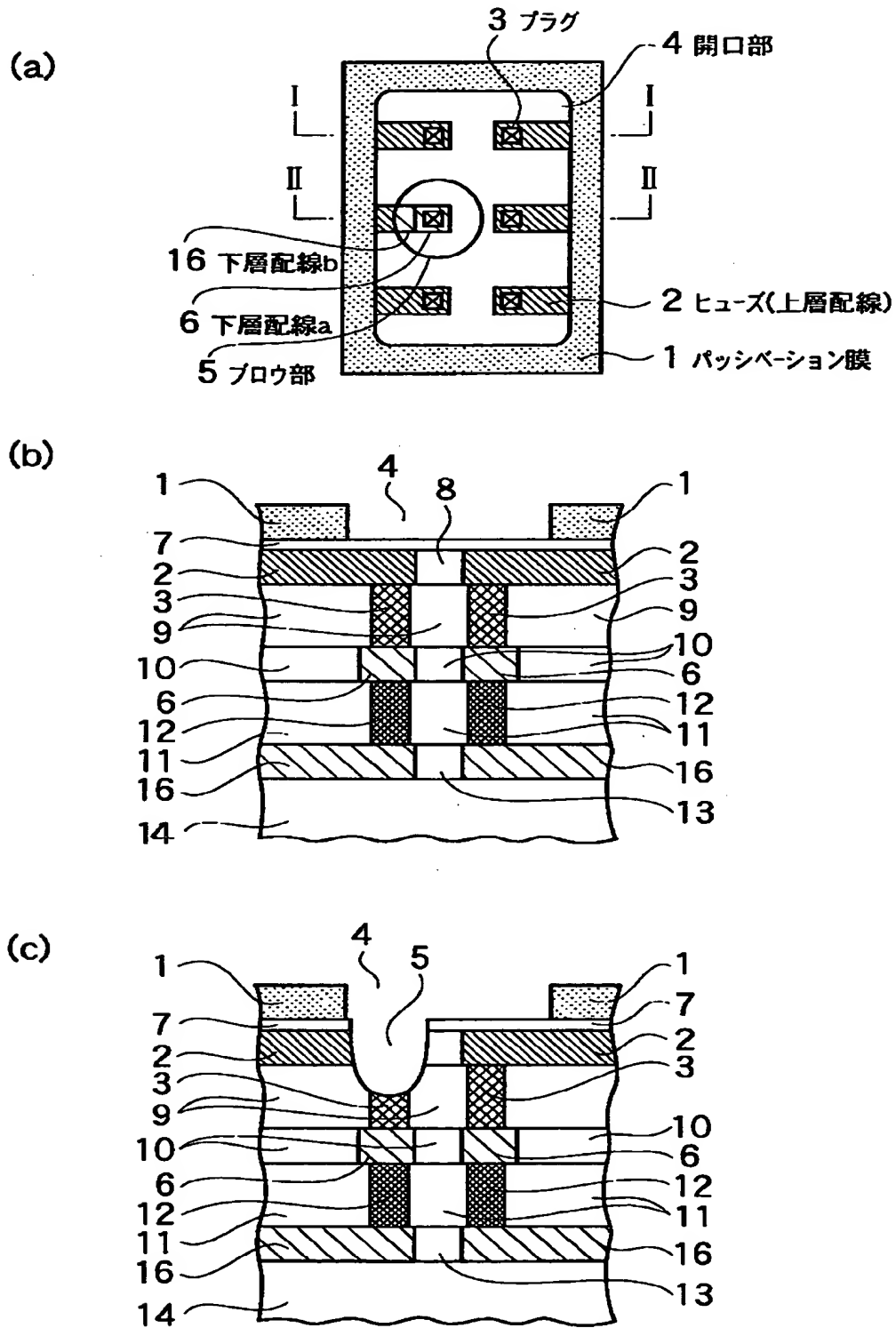
- 1、 7 パッシベーション膜
- 2 ヒューズ（上層配線）
- 3、 1 2 プラグ
- 4 開口部
- 5 ブロー部
- 6、 1 6 下層配線
- 8、 9、 1 0、 1 1、 1 3、 1 4 絶縁膜
- 1 5 半導体基板

【書類名】 図面

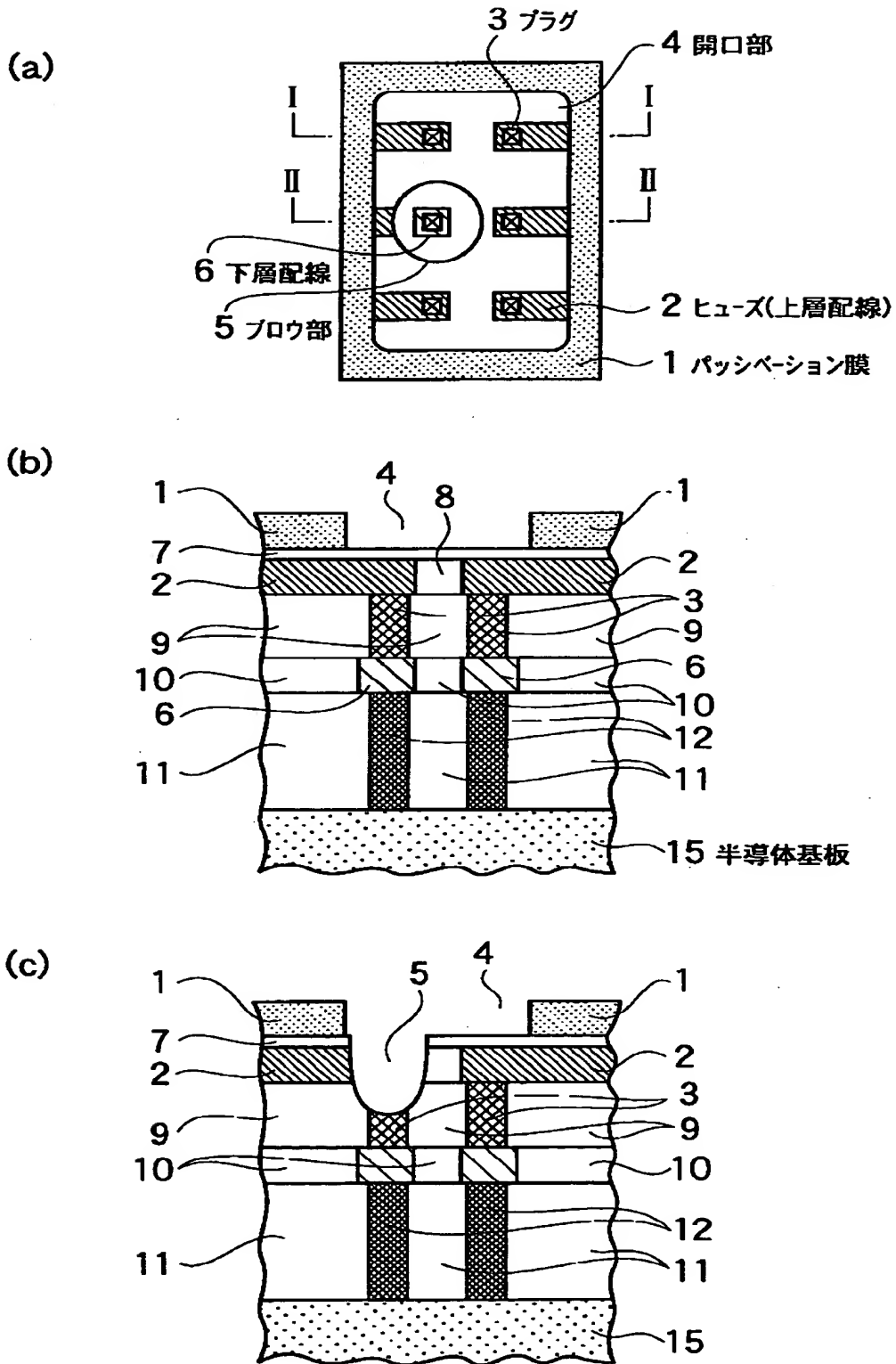
【図 1】



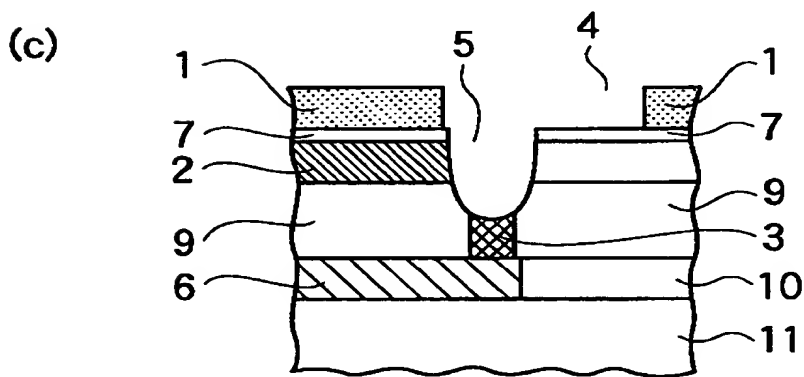
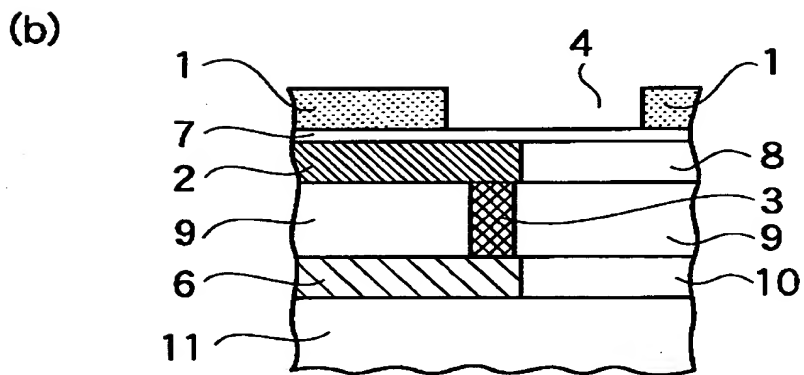
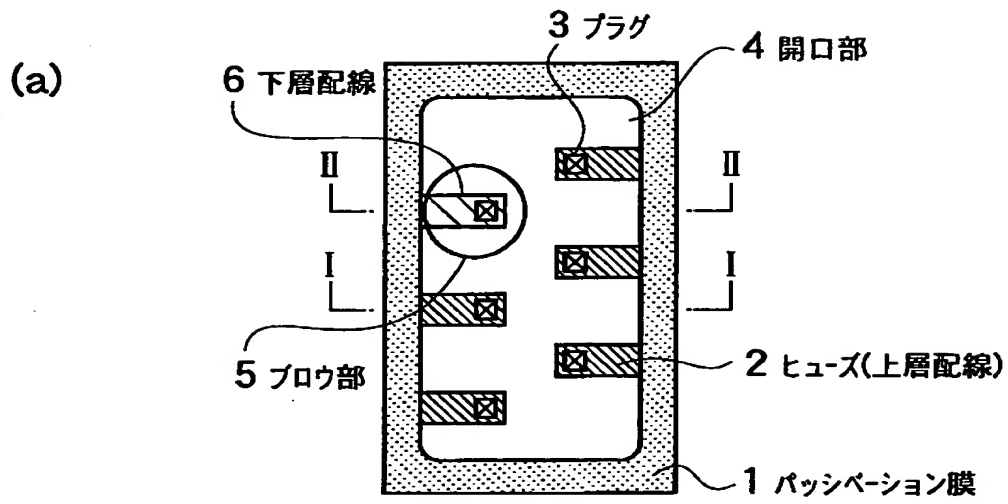
【図 2】



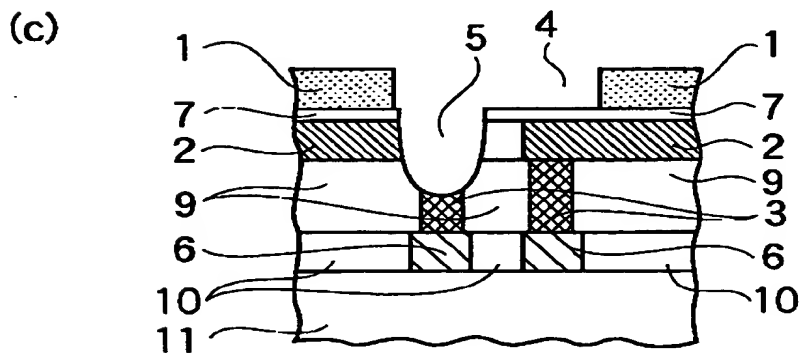
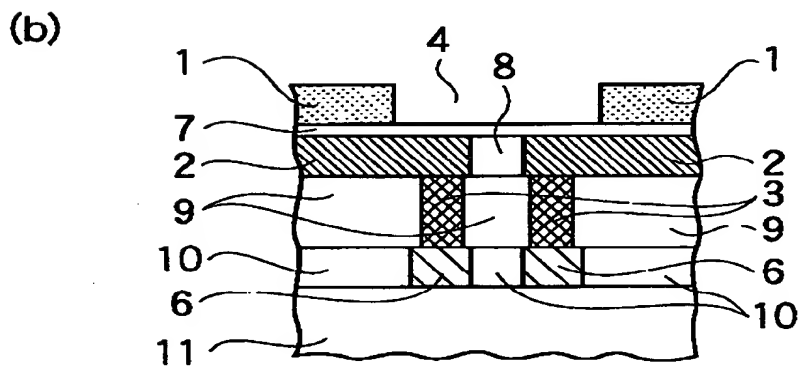
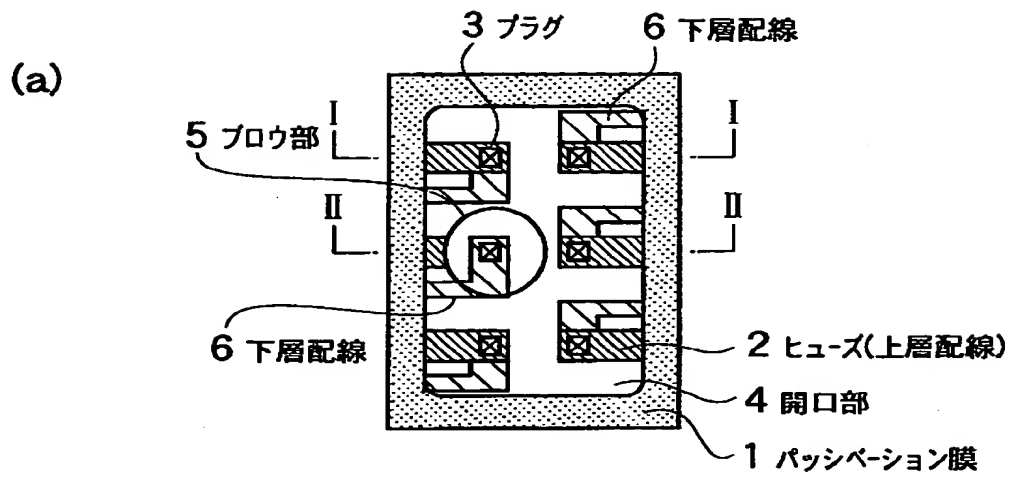
【図3】



【図 4】

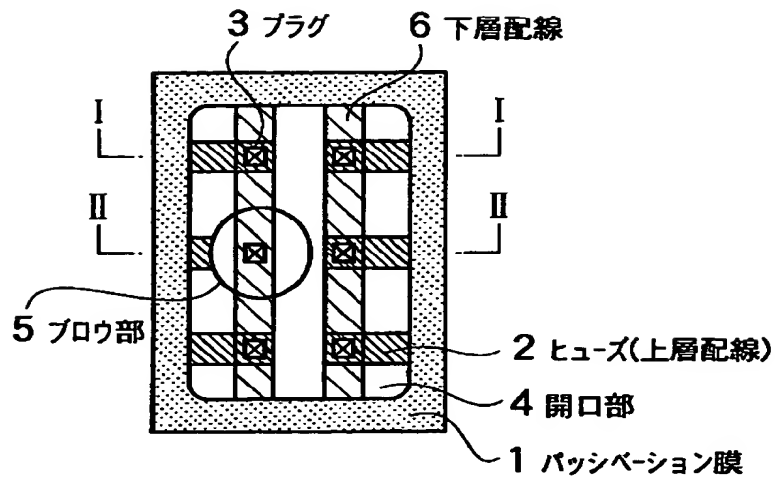


【図 5】

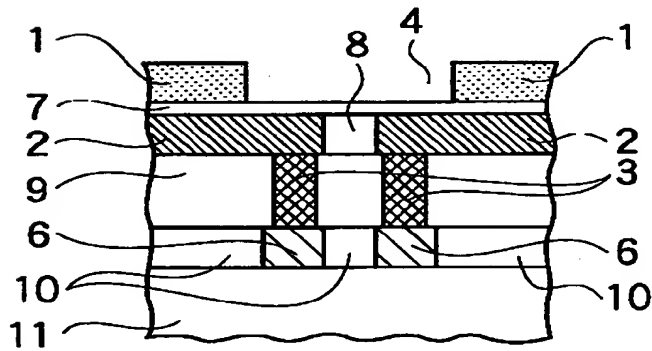


【図 6】

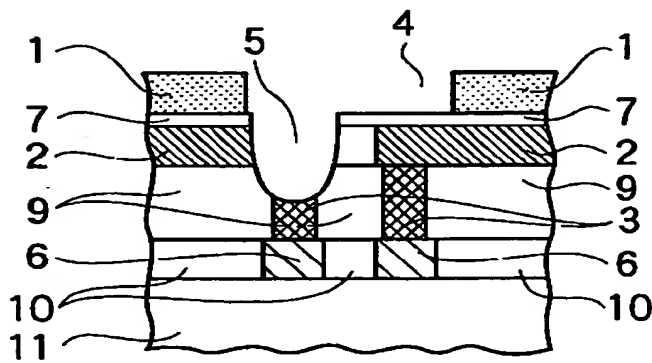
(a)



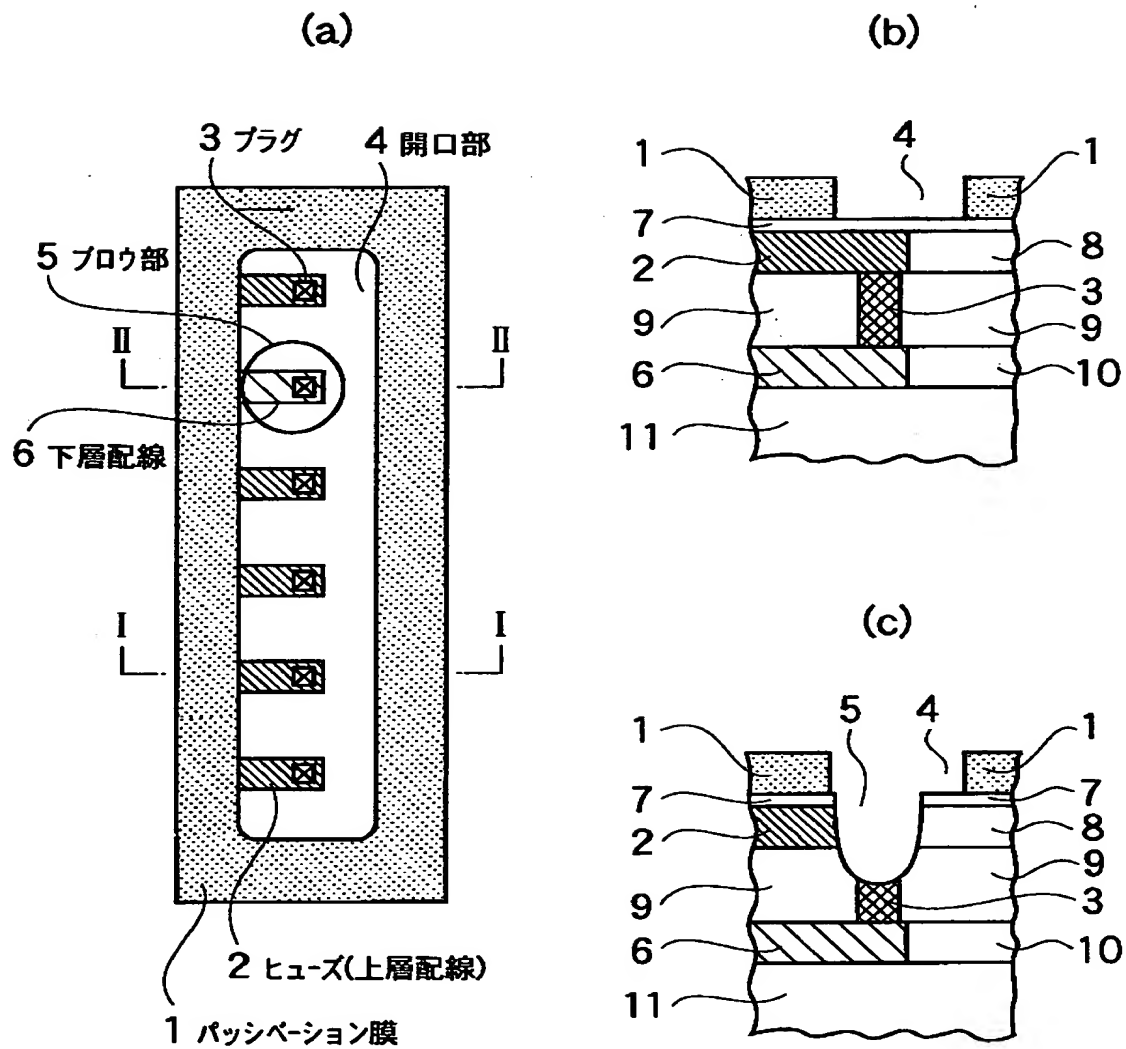
(b)



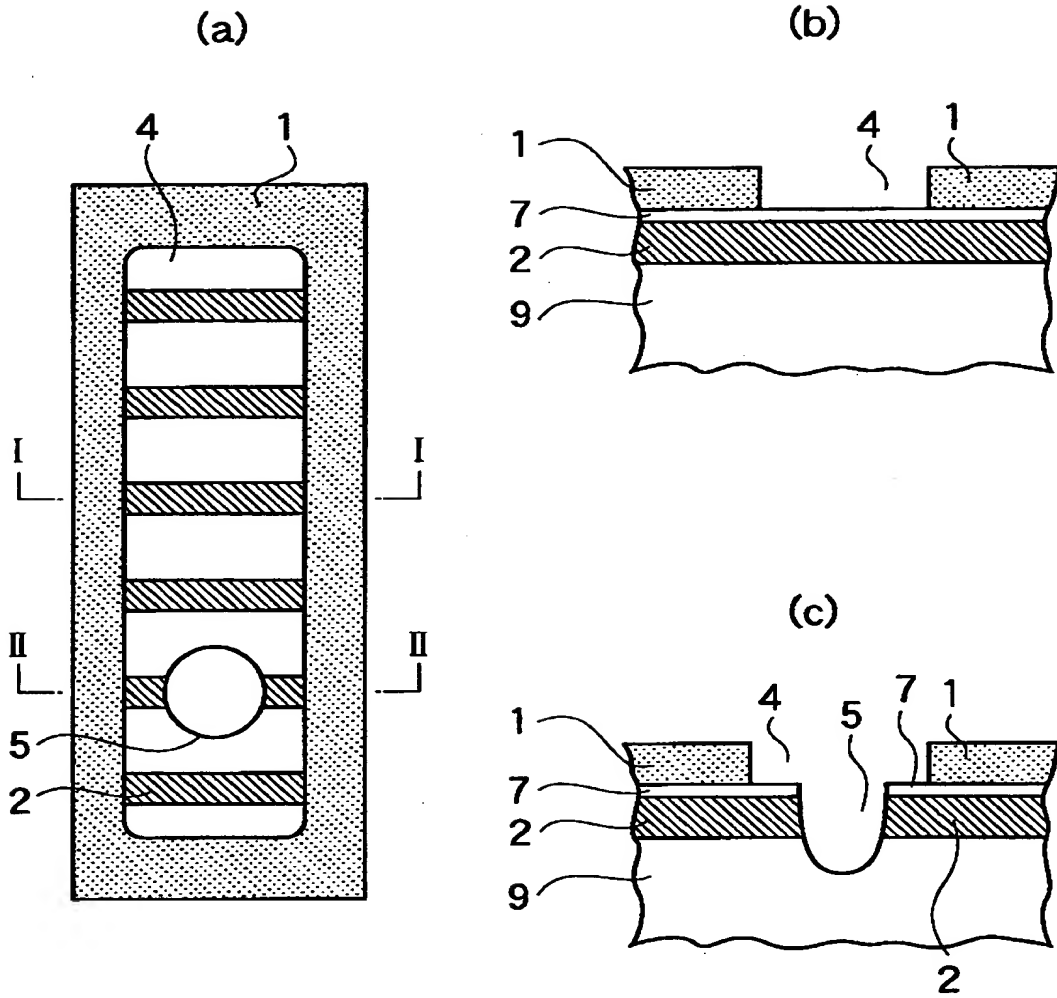
(c)



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ヒューズ 2 部分の面積の微小化ができ、周辺回路がヒューズの片側のみで構成できる半導体集積回路を提供することができる。

【解決手段】 レーザの照射により選択的に切断可能な複数のヒューズ 2 の端にプラグ 3 の上面を接続する。そして、プラグ 3 の上方の絶縁膜 1 に開口部 4 を形成する。このことによりプラグ 3 より下の層の配線 6 の引き回しが可能になる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日 1990年 8月23日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区駅前本町25番地1

氏 名 東芝マイクロエレクトロニクス株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝